

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: HSU, Sung-Mu Conf.:
Appl. No.: NEW Group:
Filed: August 27, 2003 Examiner:
For: METHOD FOR MANUFACTURING MEMORY

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

August 27, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

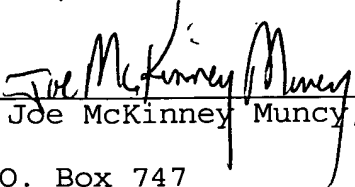
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN	092117859	June 30, 2003

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

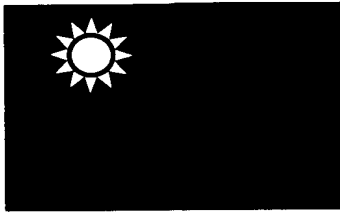
BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Joe McKinney Muncy, #32,334

KM/smt
4459-0148P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment(s)



HS4
August 27 2003
B.S.K.S. LLP
703-203-
4459-0148P
10f1

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 06 月 30 日
Application Date

申 請 案 號：092117859
Application No.

申 請 人：徐松睦
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 8 月 14 日
Issue Date

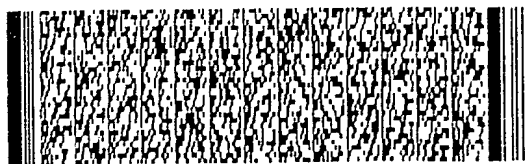
發文字號：09220822070
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	記憶體製造方法
	英 文	METHOD FOR MANUFACTURING MEMORY
二、 發明人 (共1人)	姓 名 (中文)	1. 徐松睦
	姓 名 (英文)	1. Hsu, Sung-Mu
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市瑞麟路52號
	住居所 (英 文)	1. No. 52, Rueilin Rd., Hsinchu City, 300, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 徐松睦
	名稱或 姓 名 (英文)	1. Hsu, Sung-Mu
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市瑞麟路52號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 52, Rueilin Rd., Hsinchu City, 300, Taiwan (R.O.C.)
	代表人 (中文)	1.
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：記憶體製造方法)

一種記憶體製造方法，包括以下步驟：依序於一基板上形成一絕緣層、一多晶矽層及一遮罩層；蝕刻遮罩層以暴露出部分之多晶矽層，並定義出第一、第二、及第三圖案化區域，第三圖案化區域係位於第一及第二圖案化區域之間，而多晶矽層之暴露部分係位於第一及第二圖案化區域；蝕刻位於第二圖案化區域之多晶矽層；植入摻雜於基板中以於第二圖案化區域形成一第一摻雜區；氧化基板以於第一圖案化區域形成第一氧化矽區域；移除遮罩層；以第一氧化矽區域為遮罩蝕刻多晶矽層以形成一閘極；以及植入摻雜於基板中以形成一第二摻雜區。

五、(一)、本案代表圖為：圖3F

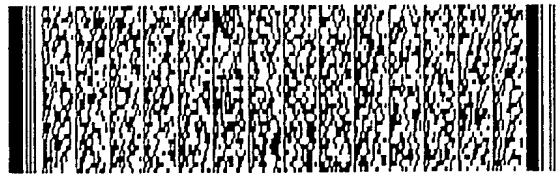
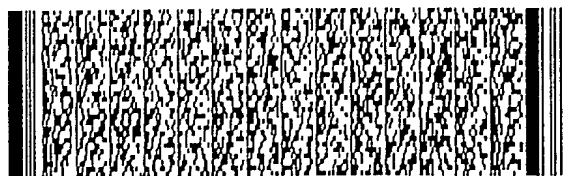
(二)、本案代表圖之元件代表符號簡單說明：

10 基板

16' 第一摻雜區

六、英文發明摘要 (發明名稱：METHOD FOR MANUFACTURING MEMORY)

A method for manufacturing memory includes the steps of: forming an insulating layer, a polysilicon layer and a mask layer on a substrate in sequence. Next, the mask layer is etched to expose part of the polysilicon layer, and to define a first pattern region, a second pattern region and a third pattern region located between the first and second pattern regions. The exposed part of the polysilicon layer

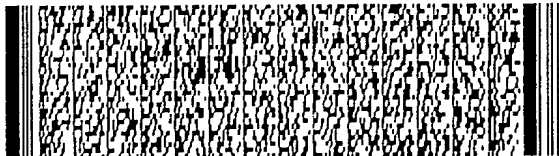


四、中文發明摘要 (發明名稱：記憶體製造方法)

20 氧化矽層
22 多晶矽層
50 光阻層
70 氮化矽層

六、英文發明摘要 (發明名稱：METHOD FOR MANUFACTURING MEMORY)

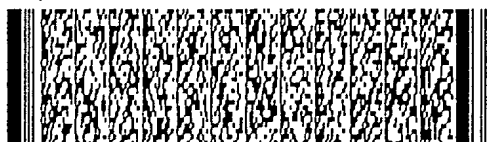
is located within the first and second pattern regions. Part of the polysilicon layer exposed in the second pattern region is then etched. Ion implanting process is performed to implant ions into the substrate so as to form a first doped region in the second pattern region. The substrate is oxidized to form a first silicon oxide region. After that, the mask layer is removed, and the



四、中文發明摘要 (發明名稱：記憶體製造方法)

六、英文發明摘要 (發明名稱：METHOD FOR MANUFACTURING MEMORY)

polysilicon layer is etched to form a gate, wherein the first silicon oxide region serves as a mask. Finally, another ion implanting process is performed to implant ions into the substrate so as to form a second doped region.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

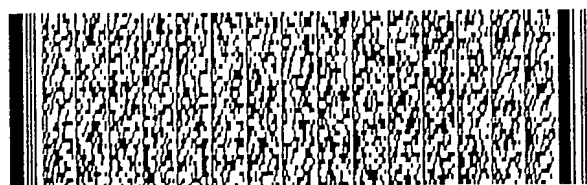
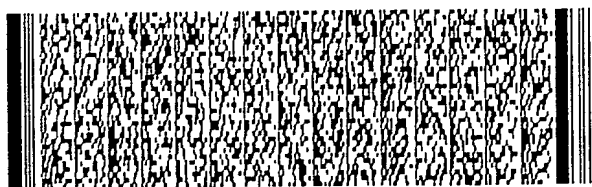
(一)、【發明所屬之技術領域】

本發明係關於一種記憶體製造方法，特別關於一種利用自對準 (self-aligned) 方式同時定義記憶體之源極、汲極與閘極的記憶體製造方法。

(二)、【先前技術】

一般而言，習知的非揮發性記憶體單元 (Non-volatile memory cell) 主要包括一源極 (Source)、一汲極 (Drain)、一控制閘 (Control gate) 以及一浮閘 (Floating gate)；其中，藉由將電子注入或移出浮閘，可使非揮發性記憶體單元完成三種基本操作模式，亦即讀取、寫入以及抹除，而且浮閘能夠捉住 (trap) 電子，以便在停止提供給非揮發性記憶體單元的情況下，還能夠保持非揮發性記憶體單元所記錄之資料的完整性。承上所述，浮閘及控制閘係構成非揮發性記憶體單元之閘極，其結構可以是分裂閘式 (split gate)、堆疊閘式 (stacked gate) 或上述兩者之組合型。

另外，習知的記憶體裝置通常包括一記憶體陣列 (Memory array)，其係由複數個記憶體單元所構成，而製造此記憶體單元陣列的重要關鍵之一係為上述源極、汲極、控制閘及浮閘的尺寸以及相關位置之精準性。更詳細地說，隨著記憶體單元之微小化以及密集化，精確之尺寸以及對準的要求也更加嚴格。因此，記憶體單元之各組成部分的尺寸以及對準變異量亦嚴重影響到記憶體裝置製造



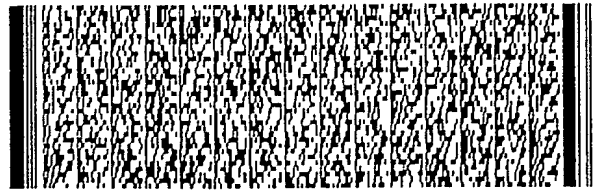
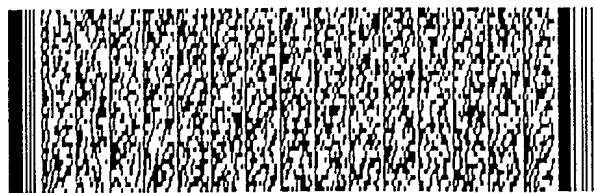
五、發明說明 (2)

的良率。

在習知記憶體裝置的製造中，為了確保源極、汲極、浮閘以及控制閘的對準排齊，熟習該項技術者通常利用自對準的方式，藉一或複數程序將一或複數材料彼此自行對準排齊，以獲得精確對準的記憶體結構，並提升記憶體裝置的製造良率。舉例而言，美國專利第 US 5,242,848 號揭露了相關的技術內容；以下將參照圖 1A 至 1J，說明習知非揮發性記憶體的製造方法。

首先，如圖 1A 至 1C 所示，製造習知非揮發性記憶體的第一階段係在一基板 10 上，依序形成一氧化矽層 20、一多晶矽層 22 以及一氮化矽層 70，然後將氮化矽層 70 圖案化而暴露出部分多晶矽層 22；具體而言，此階段所暴露出之多晶矽層 22 係定義出浮閘區域的位置，同時以圖案化之氮化矽層 70 作為後續製程之遮罩。

接著，如圖 1D 至 1G 所示，製造習知非揮發性記憶體的第二階段係將多晶矽層 22 的暴露部分氧化，以形成一氧化矽區域 72，其厚度通常約為 2000 Å；接著，藉由蝕刻將剩餘的氮化矽層 70 移除；之後，進行向異性蝕刻製程，例如利用反應性離子蝕刻 (Reactive Ion Etch; RIE)，並以氧化矽區域 72 作為遮罩而將未被氧化矽區域 72 覆蓋的多晶矽層 22 移除，俾能留下被氧化矽區域 72 覆蓋的多晶矽層而形成浮閘 23；接著，進行一氧化製程，以便於上述結構之表面上形成一層氧化層 74，此外，本步驟更可以進一步將氧化層 74 氮化形成氮氧化物層，之後，亦可再形成另一層

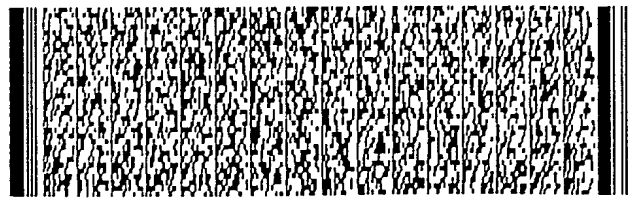
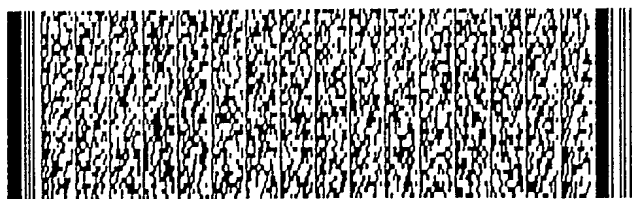


五、發明說明 (3)

氧化層於其上以形成ONO結構的堆疊絕緣層（圖中未顯示），俾能提高其絕緣性；其中，如圖1F所示，為使電荷能夠高效率地移入/移出浮閘23，可以在浮閘23的邊緣形成尖凸狀的電荷注入區域（charge injection region）以利電荷的移動，為此，需要在多晶矽層的表面施行反覆而多次的氧化以及蝕刻製程步驟，直至將氧化矽區域製作成適當的鳥嘴（bird's beak）形狀為止，以利於多晶矽層中形成尖凸狀的電荷注入區域。

最後，如圖1H至圖1J所示，製造習知非揮發性記憶體的第二階段係於基板10上沉積形成一第二多晶矽層76，並利用微影蝕刻製程將第二多晶矽層76圖案化以形成一控制閘29，其中，控制閘29具有一位於浮閘23上方的第一部分29a，以及一位於浮閘23之側邊並延伸於氧化層74之上的第二部分29b，第二部分29b係構成一緊鄰著浮閘23的選擇電晶體（select transistor）；接著，藉由離子摻雜植入，例如磷離子、或砷離子，同時調整摻雜濃度以控制離子擴散入浮閘23下方的程度，俾能形成源極區域14以及汲極區域16，最後便形成如圖1J所示之結構。需注意者，此離子植入之步驟係自對準於浮閘23及控制閘29，換言之，係使用浮閘23及控制閘29作為遮罩以執行離子植入製程。

承上所述，圖1J係顯示一種習知的分裂閘非揮發性記憶體單元（Split gate non-volatile memory cell），在其製造過程中，最關鍵的問題係選擇電晶體的尺寸，其係定義於浮閘23及汲極區域16間的空間中，而美國專利第



五、發明說明 (4)

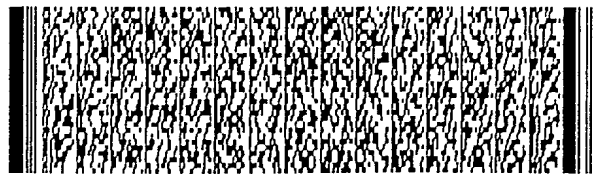
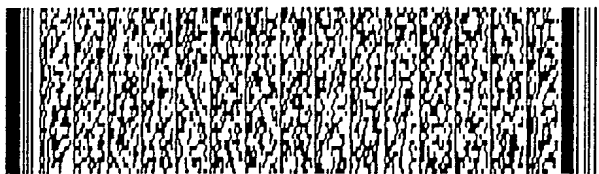
5,242,848 號係揭露定義此空間之尺寸的方法。然而，利用上述方法來製造分裂閘非揮發性記憶體單元時，勢必存在有一定的誤差，以下將列舉說明之：

1. 於第一階段中，係以微影製程將氮化矽層70圖案化以定義出浮閘區域的位置，換言之，由於此步驟必須利用微影製程於氮化矽層70形成一開口，其係預定作為浮閘區域，故氮化矽層70之開口寬度尺寸將會關係到浮閘區域的寬度，而且實際形成之開口寬度尺寸必然存在一誤差值 $\Delta CD1$ 。

2. 於第三階段中，在執行離子植入之前，需要先以圖案化製程定義出控制閘區域以形成控制閘29（包括第一部分29a以及第二部分29b），再利用浮閘23以及控制閘29作為遮罩以自行對準方式，進行摻雜植入以形成源極區域與汲極區域。因此，此步驟中必然有一誤差值 $\Delta CD2$ ，亦即控制閘29的尺寸誤差。

3. 利用圖案化製程定義出控制閘區域時，浮閘23與控制閘區域之間必然會發生對位不準的情況，詳言之，以微影製程形成控制閘29時，控制閘29之位置與浮閘23之間必然存在一配位對準誤差，因此必然存在一配位對準之誤差值 $\Delta CD3$ 。

如上所述，要形成習知分裂閘非揮發性記憶體單元之浮閘、控制閘、源極以及汲極等配位結構，需同時考量上述三項誤差，即 $\Delta CD1$ 、 $\Delta CD2$ 以及 $\Delta CD3$ ，故必然存在一總誤差值 ΔCDt ，即：



五、發明說明 (5)

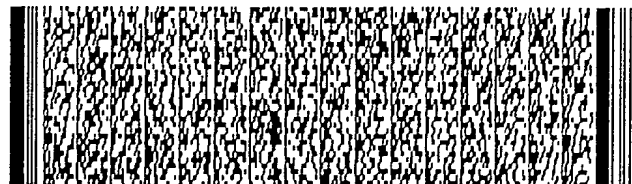
$$\Delta CDt = \{ (\Delta CD1)^2 + (\Delta CD2)^2 + (\Delta CD3)^2 \}^{0.5}$$

需注意者，隨著半導體記憶體單元之微小化以及密集化，故各組成部分之尺寸及對準變異的誤差將嚴重影響半導體記憶體單元的良率，因此精確控制此總誤差值 ΔCDt 的要求也更加嚴格。

為有效控制上述之總誤差值 ΔCDt ，即源極、汲極、控制閘及浮閘間之對準變異以及尺寸變異之問題，亦即有效掌握上述選擇電晶體之尺寸的可控制度

(controllability)，美國專利第US 6,329,685號係揭露了相關的技術內容。

請參照圖2A至圖2D以說明美國專利第US 6,329,685號針對控制閘的形成方法。如圖2A所示，首先於基板10上形成由第一多晶矽層32（亦即浮閘）、絕緣材料層33、第二多晶矽層34（亦即源極線）、第一摻雜區域30（亦即源極區域）、氧化矽層31、氧化矽層36以及氧化矽層38所構成的複雜堆疊結構，並以此堆疊結構間的溝槽定義出預定要形成之控制閘以及汲極區域的位置。之後，如圖2B所示，形成第三多晶矽層40於上述結構之上，例如利用低壓化學氣相沉積法（Low Pressure Chemical Vapor Deposition；LPCVD）以形成第三多晶矽層40。如圖2C所示，接著，利用向異性蝕刻方法蝕刻第三多晶矽層40，直至剩下位於堆疊結構之側邊部分的第三多晶矽層，俾以形成控制閘41，此結構即形成如前述之第二部分29b的選擇電晶體；並且由兩相鄰的控制閘41所定義出之溝槽底部，

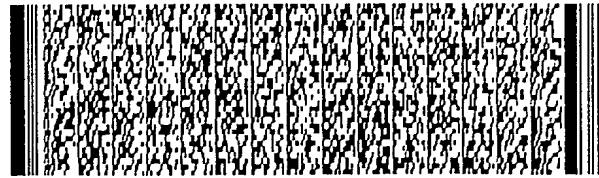
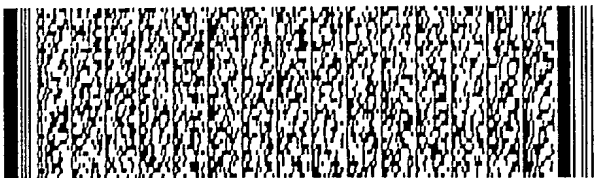


五、發明說明 (6)

進一步執行摻雜製程以形成第二摻雜區域35 (其係為一汲極區域)，並於堆疊結構上形成一介電層48，如圖2D所示。因此，在美國專利第US 6,329,685中，選擇電晶體的尺寸係藉由在該堆疊結構之側邊部分形成的控制閘41之寬度所定義。

具體而言，雖然上述製程可預先定義出控制閘41以及第二摻雜區域35的位置，且利用蝕刻方法形成控制閘41，同時以相鄰的控制閘41為遮罩定義出預定形成第二摻雜區域35的摻雜面積及位置。然而，上述製程亦存在有以下問題：首先，沉積形成第三多晶矽層40之前，需先形成如圖2A所示之堆疊結構，故堆疊結構之側邊的斜率將嚴重影響第三多晶矽層40之沉積厚度以及均勻性；詳言之，堆疊結構之側邊理想上係為筆直的垂直側邊 (如圖2A至2D所示)，但實際上堆疊結構之側邊通常具有正或負斜率的斜邊，故造成第三多晶矽層40在厚度以及均勻性上的變異誤差；再者，由於第三多晶矽層40係利用蝕刻方法而形成控制閘41，故蝕刻控制的變異誤差嚴重影響控制閘41的厚度以及向異性蝕刻後側邊部分的寬度均勻性。換言之，實際上堆疊結構之形狀將造成第三多晶矽層40之厚度以及側邊部分之寬度在均勻性上的變異誤差，再加上蝕刻控制的變異誤差，結果將使得選擇電晶體之尺寸的可控制度變得更差。

因此，如何提供一種能夠有效降低製造記憶體之總誤差值，以提昇選擇電晶體之尺寸的可控制度，正是當前半



五、發明說明 (7)

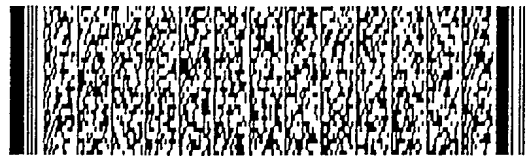
導體記憶體製造的重要課題之一。

(三)、【發明內容】

有鑑於上述課題，本發明之目的為提供一種能夠有效降低製造過程之總誤差值的記憶體製造方法。

緣是，為達上述目的，依本發明之記憶體製造方法包括下列步驟：

- 1). 於一基板上形成一第一絕緣層；
- 2). 於第一絕緣層上方形成一第一多晶矽層；
- 3). 於第一多晶矽層上形成一遮罩層；
- 4). 蝕刻遮罩層以暴露出部分之第一多晶矽層，並定義出一第一圖案化區域、一第二圖案化區域及一第三圖案化區域，其中第三圖案化區域係位於第一圖案化區域與第二圖案化區域之間，而第一多晶矽層之暴露部分係位於第一圖案化區域及第二圖案化區域；
- 5). 蝕刻位於第二圖案化區域之第一多晶矽層；
- 6). 植入摻雜於基板中以於第二圖案化區域形成一第一摻雜區；
- 7). 氧化基板以於第一圖案化區域形成一第一氧化矽區域，其中第一氧化矽區域係位於第一多晶矽層上；
- 8). 移除遮罩層；
- 9). 以第一氧化矽區域為遮罩蝕刻第一多晶矽層以形成一第一閘極，其係位於第一圖案化區域並形成於第一氧化矽區域下方；以及



五、發明說明 (8)

10). 植入摻雜於基板中以於第一閘極之一側形成一第二摻雜區，而且第一閘極係介於第一摻雜區與第二摻雜區之間。

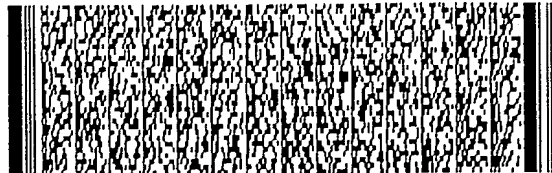
承上所述，因依本發明之記憶體製造方法能利用單一微影步驟定義出浮閘區域以及浮閘區域與汲極區域之相關位置（亦即定義選擇電晶體的尺寸）；再者，本發明之記憶體製造方法係依據所定義出之浮閘區域與汲極區域，以自對準方式將摻雜植入源極區域與汲極區域，故控制閘之形成方式不會影響源極區域與汲極區域之位置及其相關位置。因此，選擇電晶體的尺寸將不再受第二多晶矽層之圖案化步驟的尺寸誤差（亦即 $\Delta CD2$ ）以及浮閘與控制閘區域之間的對位誤差（亦即 $\Delta CD3$ ）所影響。吾人稱此方法為"圖案轉移法"。

（四）、【實施方式】

以下將參照相關圖式，說明依本發明較佳實施例之記憶體製造方法，其中相同的元件將以相同的參照符號加以說明。

請參照圖3A至3M所示，依本發明較佳實施例之記憶體製造方法之製造步驟如下所述。

首先，依本發明較佳實施例之記憶體製造方法係在一基板10上利用熱氧化（thermal oxidation）法形成厚度介於80Å至150Å之間且作為第一絕緣層之氧化矽層20，接著，再依序以化學氣相沉積（Chemical Vapor



五、發明說明 (9)

Deposition ; CVD) 法形成厚度介於 500\AA 至 1500\AA 之多晶矽層22以及厚度介於 500\AA 至 2000\AA 之間且作為第二絕緣層之氮化矽層70，如圖3A所示。需注意者，基板10通常預先以習知的STI製程技術形成相鄰且互相平行之主動區域以及隔離區域（圖中未顯示），其中隔離區域係以氧化矽所構成，並位於相鄰的主動區域之間。

其次，如圖3B所示，利用微影製程將氮化矽層70圖案化，以暴露出部分之多晶矽層22；具體而言，此步驟係將氮化矽層70圖案化，以定義出一第一圖案化區域81、一第二圖案化區域82及一第三圖案化區域83，而圖案化之氮化矽層70係作為後續製程之遮罩層。在本實施例中，第三圖案化區域83係位於第一圖案化區域81與第二圖案化區域82之間，而多晶矽層22之暴露部分係位於第一圖案化區域81及第二圖案化區域82，此時，第三圖案化區域83之寬度係依據記憶體之選擇電晶體的尺寸而定，其可以是等於一預設長度。

接著，如圖3C所示，於氮化矽層70之剩餘部分的側壁上形成複數個間隙壁（spacer）22a。在本實施例中，間隙壁22a的形成方法係先於基板10上方沉積另一層多晶矽層，並蝕刻此多晶矽層，俾能在作為遮罩之氮化矽層70的側邊形成間隙壁22a；因此，上述製程僅用習知的沉積及蝕刻方式，即可形成尖凸狀的電荷注入區域以利電荷的移動。

下一步驟係蝕刻位於第二圖案化區域82之多晶矽層



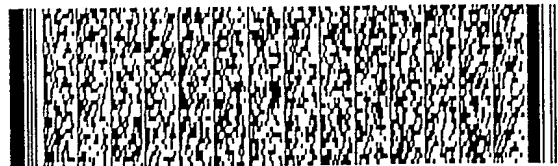
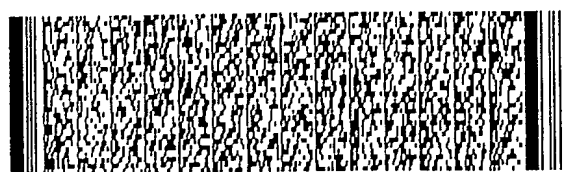
五、發明說明 (10)

22。在本實施例中，本步驟係先於基板10上方形成一光阻層50，並圖案化光阻層50以暴露出位於第二圖案化區域82之多晶矽層22，以及鄰設於第二圖案化區域82兩側的部分氮化矽層70，如圖3D所示；因此，本步驟能夠以光阻層50及部分氮化矽層70為遮罩，利用自對準方式蝕刻位於第二圖案化區域82之多晶矽層22，如圖3E所示。

然後，植入摻雜於基板10中以於第二圖案化區域82形成一第一摻雜區16'。在本實施例中，本步驟係藉由圖案化之光阻層50以及部分氮化矽層70為遮罩，以自對準的方式，執行離子摻雜植入於暴露出來的基板10上，以形成第一摻雜區16'，如圖3F所示；其中，第一摻雜區16'係作為前述之記憶體之汲極區域16。

請接著參照圖3G，氧化基板10以分別於第一圖案化區域81以及第二圖案化區域82形成一第一氧化矽區域72a及一第二氧化矽區域72b。在本實施例中，本步驟係利用熱氧化法，並以氮化矽層70作為遮罩，將未被氮化矽層70覆蓋的多晶矽層22及氧化矽層20氧化，以形成第一氧化矽區域72a及第二氧化矽區域72b，其中，第一氧化矽區域72a係位於第一多晶矽層22上，第二氧化矽區域72b係位於第一摻雜區16'上。詳言之，由第一氧化矽區域72a以及第二氧化矽區域72b所覆蓋的尺寸及位置，即分別為記憶體之閘極區域與汲極區域的尺寸及位置。

如圖3H所示，在形成第一氧化矽區域72a及第二氧化矽區域72b之後，接著移除剩餘之氮化矽層70。在本實施



五、發明說明 (11)

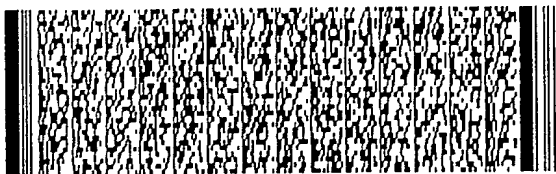
例中，本步驟係藉由濕蝕刻(wet etching)將作為遮罩的氮化矽層70移除。

接著，如圖3I所示，以第一氧化矽區域72a為遮罩蝕刻多晶矽層22以形成一第一閘極23'，其係位於第一圖案化區域81並位於第一氧化矽區域72a下方。在本實施例中，本步驟係利用第一氧化矽區域72a作為遮罩，以自對準的方式，並利用向異性蝕刻，例如反應性離子蝕刻，將未被第一氧化矽區域72a覆蓋的多晶矽層22蝕刻移除，俾能留下被第一氧化矽區域72a覆蓋的多晶矽層區域，亦即第一閘極23'；而且第一閘極23'與第一摻雜區16'之距離係等於前述之預設長度。其中，第一閘極23'係為前述之浮閘23。

最後，如圖3J所示，植入摻雜於基板10中以於第一閘極23'之一側形成一第二摻雜區14'，其中，第一閘極23'係位於第一摻雜區16'與第二摻雜區14'之間。在本實施例中，本步驟係先塗佈一層光阻層52並將其圖案化，以圖案化之光阻層52配合第一氧化矽區域72a作為遮罩，執行離子植入以摻雜形成第二摻雜區14'。其中，第二摻雜區14'係為前述之源極區域14。

如上所述，利用本發明較佳實施例之記憶體製造方法能夠精確地定義出第一閘極23'、第一摻雜區16'及第二摻雜區14'的尺寸及位置，亦即是定義出選擇電晶體之尺寸，以及第一摻雜區16'及第二摻雜區14'間的通道長度。

此外，在形成第二摻雜區14'之後，本發明較佳實施



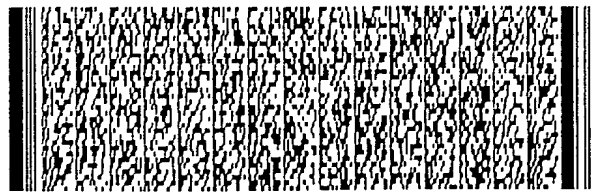
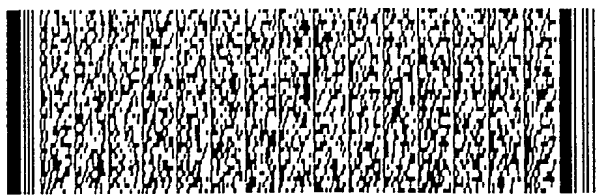
五、發明說明 (12)

例之記憶體製造方法更包括以下步驟：首先，移除光阻層52，並將上述結構之表面氧化以形成一層第二絕緣層；接著，形成一第二多晶矽層於基板上方，並利用習知的蝕刻製程蝕刻此第二多晶矽層以於第一閘極23'上形成一第二閘極25，如圖3K所示。另外，本發明較佳實施例之記憶體製造方法更可以進一步將第二閘極25圖案化以暴露出第一摻雜區16'，進而形成第一摻雜區16'之接觸孔（如圖3L所示）。需注意者，圖案化之第二閘極25的結構亦可以近似於前述之控制閘29，如圖3M所示，其具有一位於第一閘極23'上方的第一部分25a，以及一位於第一閘極23'之側邊並延伸至第一摻雜區域16'的第二部分25b，此第二部分25b係構成一緊鄰著第一閘極23'的選擇電晶體。

另外，依本發明之記憶體製造方法亦可以應用於其他結構之記憶體單元。以下將舉一實例說明之。

請參照圖4A至4J所示，依本發明另一較佳實施例之記憶體製造方法的製造步驟係如下所述。

首先，依本發明另一較佳實施例之記憶體製造方法係在一基板10上利用熱氧化法形成厚度介於80Å至150Å之間且作為第一絕緣層之氧化矽層20，接著，再依序以化學氣相沉積（Chemical Vapor Deposition；CVD）法形成一多晶矽層28、一介電層27、一多晶矽層22、以及一氮化矽層70，如圖4A所示。需注意者，基板10通常預先以習知的STI製程技術形成相鄰且互相平行之主動區域以及隔離區域（圖中未顯示），其中隔離區域係以氧化矽所構成，並



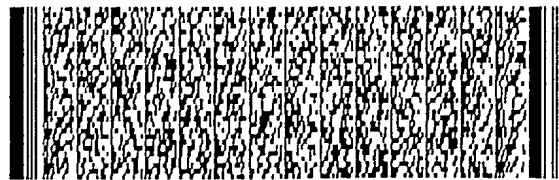
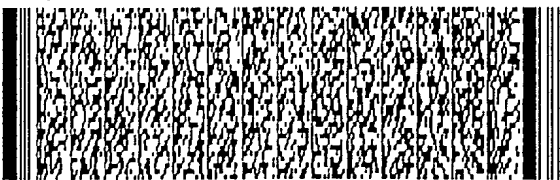
五、發明說明 (13)

位於相鄰的主動區域之間；另外，在形成多晶矽層28時，係預先進行蝕刻製程以圖案化多晶矽層28（圖中未顯示），然後配合後續製程定義多晶矽層28以形成所需之浮閘。介電層27通常為一ON0結構的堆疊絕緣層。

接著，如圖4B所示，利用微影製程將氮化矽層70圖案化，以暴露出部分之多晶矽層22；如前所述，此步驟係將氮化矽層70圖案化，以定義出一第一圖案化區域81、一第二圖案化區域82及一第三圖案化區域83，如前所述，圖案化之氮化矽層70係作為後續製程之遮罩層。

之後，蝕刻位於第二圖案化區域82之多晶矽層22。在本實施例中，本步驟係先於基板10上方形成一光阻層50，並圖案化光阻層50以暴露出位於第二圖案化區域82之多晶矽層22，以及鄰設於第二圖案化區域82兩側的部分氮化矽層70，如圖4C所示；因此，本步驟能夠以光阻層50及部分氮化矽層70為遮罩，利用自對準方式蝕刻位於第二圖案化區域82之多晶矽層22，如圖4D所示。另外，本步驟亦可以更將位於第二圖案化區域82之介電層27及多晶矽層28蝕刻去除（圖中未顯示）。

然後，植入摻雜於基板10中以於第二圖案化區域82形成一第一摻雜區16'，如圖4E所示。在本實施例中，本步驟係藉由圖案化之光阻層50以及部分氮化矽層70為遮罩，以自對準的方式，執行離子摻雜植入於未被光阻層50及氮化矽層70所覆蓋的部分，以形成第一摻雜區16'；其中，第一摻雜區16'係作為前述之記憶體的汲極區域16。



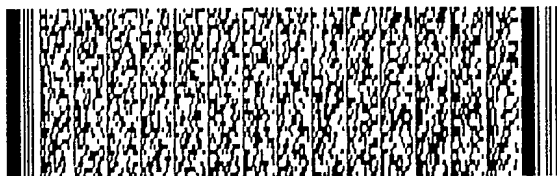
五、發明說明 (14)

請接著參照圖4F，氧化基板10以分別於第一圖案化區域81形成一第一氧化矽區域72a。在本實施例中，本步驟係利用熱氧化法，並以氮化矽層70作為遮罩，將未被氮化矽層70覆蓋的多晶矽層22氧化，以形成第一氧化矽區域72a。需注意者，由第一氧化矽區域72a所覆蓋的尺寸及位置，即為記憶體之堆疊閘極區域的尺寸及位置。

如圖4G所示，在形成第一氧化矽區域72a之後，接著移除剩餘之氮化矽層70。在本實施例中，本步驟係藉由濕蝕刻(wet etching)將作為遮罩的氮化矽層70移除。

接著，如圖4H所示，以第一氧化矽區域72a為遮罩蝕刻多晶矽層22、介電層27及多晶矽層28以形成一堆疊閘極，其係位於第一圖案化區域81並位於第一氧化矽區域72a下方，並包括一第一閘極23'與一第三閘極28'。在本實施例中，本步驟係利用第一氧化矽區域72a作為遮罩，以自對準的方式，並利用向異性蝕刻，例如反應性離子蝕刻，將未被第一氧化矽區域72a覆蓋的多晶矽層22、介電層27及多晶矽層28蝕刻移除，俾能留下被第一氧化矽區域72a覆蓋的堆疊區域，亦即第一閘極23'與第三閘極28'，以及位於第一閘極23'與第三閘極28'之間的介電層27；而且此堆疊閘極與第一摻雜區16'之距離係等於前述之預設長度。其中，第三閘極28'係為一浮閘，而第一閘極23'係為設置於浮閘上的控制閘。

最後，如圖4I所示，植入摻雜於基板10中以於堆疊閘極之一側形成一第二摻雜區14'，其中，堆疊閘極係位於

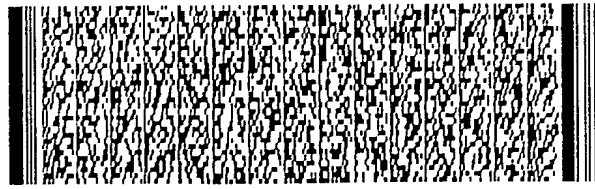
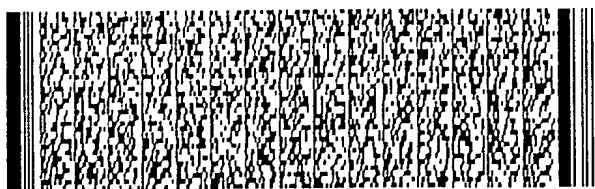


五、發明說明 (15)

第一摻雜區16'與第二摻雜區14'之間。在本實施例中，本步驟係先塗佈一層光阻層52並將其圖案化，以圖案化之光阻層52配合第一氧化矽區域72a作為遮罩，執行離子植入以摻雜形成第二摻雜區14'。其中，第二摻雜區14'係為前述之源極區域14。

此外，在形成第二摻雜區14'之後，本發明較佳實施例之記憶體製造方法更包括以下步驟：首先，移除光阻層52，並將上述結構之表面氧化形成一層氧化層；接著，形成一第二多晶矽層於基板上方，並利用習知的蝕刻製程蝕刻此第二多晶矽層以於上述之堆疊閘極上形成一第二閘極25，其係作為一選擇閘以構成一緊鄰著堆疊閘極的選擇電晶體（如圖4J所示）。在本實施例中，第二多晶矽層可以是由具摻雜之多晶矽或是多晶矽化金屬，且其厚度約為1500Å至4000Å。再者，在形成第二閘極25之後，更可以進一步將第二閘極25圖案化以暴露出第一摻雜區16'，進而形成第一摻雜區16'之接觸孔（圖中未顯示）；需注意者，此步驟係如前所述，請參照圖3L至3M所示，故此不再贅述。

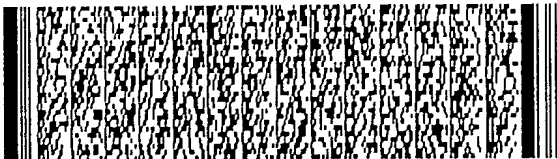
綜上所述，由於本發明之記憶體製造方法係利用單一微影步驟定義出浮閘區域、及浮閘區域與汲極區域之相關位置，亦即定義出選擇電晶體的尺寸；另外，本發明之記憶體製造方法係依據所定義出之浮閘區域與汲極區域，以自對準方式將摻雜植入源極區域與汲極區域，故能夠精確地控制源極區域與汲極區域之位置及其相關位置。因此，



五、發明說明 (16)

依本發明所製得之記憶體的選擇電晶體之尺寸能夠避免習知的尺寸誤差及對位誤差，即前述之 $\Delta CD2$ 及 $\Delta CD3$ ，進而能夠有效降低記憶體製造過程之總誤差值，以增加產品的良率及選擇電晶體的可控制度。

以上所述僅為舉例性，而非為限制性者。任何未脫離本發明之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中。



圖式簡單說明

(五)、【圖式簡單說明】

圖1A至1J為示意圖，顯示習知非揮發性記憶體之製造方法；

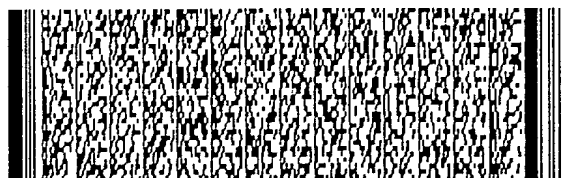
圖2A至2D為示意圖，顯示另一種習知非揮發性記憶體之控制閘的形成方法；

圖3A至3M為示意圖，顯示依本發明較佳實施例之記憶體製造方法；以及

圖4A至4J為示意圖，顯示依本發明另一較佳實施例之記憶體製造方法。

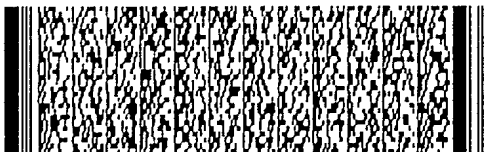
元件符號說明：

10	基板
14	源極區域
14'	第二摻雜區
16	汲極區域
16'	第一摻雜區
20	氧化矽層
22	多晶矽層
22a	間隙壁
23	浮閘
23'	第一閘極
25	第二閘極
25a	第一部分
25b	第二部分



圖式簡單說明

27	介電層
28	多晶矽層
28'	第三閘極
29	控制閘
29a	第一部分
29b	第二部分
30	第一摻雜區域
31	氧化矽層
32	第一多晶矽層
33	絕緣材料層
34	第二多晶矽層
35	第二摻雜區域
36	氧化矽層
38	氧化矽層
40	第三多晶矽層
41	控制閘
48	介電層
50	光阻層
52	光阻層
70	氮化矽層
72	氧化矽區域
72a	第一氧化矽區域
72b	第二氧化矽區域
74	氧化層



圖式簡單說明

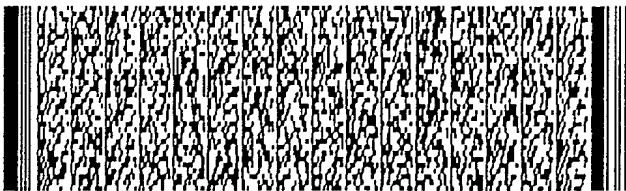
- 76 第二多晶矽層
- 81 第一圖案化區域
- 82 第二圖案化區域
- 83 第三圖案化區域



六、申請專利範圍

1、一種記憶體製造方法，包含：

形成一第一絕緣層於一基板上；
形成一第一多晶矽層於該第一絕緣層上方；
形成一遮罩層於該第一多晶矽層上；
蝕刻該遮罩層以暴露出部分之該第一多晶矽層，並定義出一第一圖案化區域、一第二圖案化區域及一第三圖案化區域，其中該第三圖案化區域係位於該第一圖案化區域與該第二圖案化區域之間，而該第一多晶矽層之暴露部分係位於該第一圖案化區域及該第二圖案化區域，該第三圖案化區域之寬度係等於一預設長度；
蝕刻位於該第二圖案化區域之該第一多晶矽層；
植入摻雜於該基板中以於該第二圖案化區域形成一第一摻雜區；
氧化該基板以於該第一圖案化區域形成一第一氧化矽區域，該第一氧化矽區域係位於該第一多晶矽層上；
移除該遮罩層；
以該第一氧化矽區域為遮罩蝕刻該第一多晶矽層以形成一第一閘極，該第一閘極係位於該第一圖案化區域並位於該第一氧化矽區域下方，且該第一閘極與該第一摻雜區之距離等於該預設長度；以及
植入摻雜於該基板中以於該第一閘極之一側形成一第二摻雜區，該第一閘極係位於該第一摻雜區與該第二摻雜區之間。



六、申請專利範圍

2、如申請專利範圍第1項所述之記憶體製造方法，其中該第一閘極係為一浮閘。

3、如申請專利範圍第2項所述之記憶體製造方法，更包含：

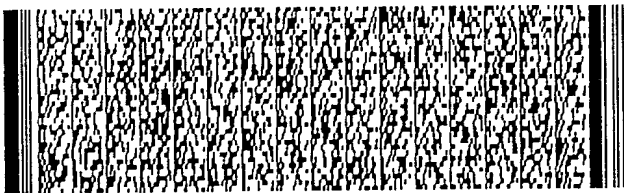
氧化該基板以於該第一閘極上形成一第二絕緣層；
形成一第二多晶矽層於該第二絕緣層上；以及
蝕刻該第二多晶矽層以於該浮閘上形成一第二閘極。

4、如申請專利範圍第3項所述之記憶體製造方法，其中該第二閘極具有一位於該第一閘極上方的第一部分，以及一位於該第一閘極之一側並延伸至該第一摻雜區域的第二部分，該第二部分係構成一緊鄰著該第一閘極的選擇電晶體。

5、如申請專利範圍第1項所述之記憶體製造方法，更包含：

於蝕刻該遮罩層以暴露出部分之該第一多晶矽層後，於該遮罩層之剩餘部分的側壁上形成複數個間隙壁（spacer）。

6、如申請專利範圍第1項所述之記憶體製造方法，其中蝕刻位於該第二圖案化區域之該第一多晶矽層之步驟係以一光阻層以及該遮罩層為遮罩進行自對準蝕刻



六、申請專利範圍

(self-aligned etch) 。

7、如申請專利範圍第6項所述之記憶體製造方法，其中植入摻雜於該基板中以於該第二圖案化區域形成該第一摻雜區之步驟係以該光阻層以及該遮罩層為遮罩進行自對準離子植入 (self-aligned implant) 。

8、如申請專利範圍第1項所述之記憶體製造方法，其中該第二摻雜區係為一源極，該第一摻雜區係為一汲極。

9、如申請專利範圍第1項所述之記憶體製造方法，更包含：

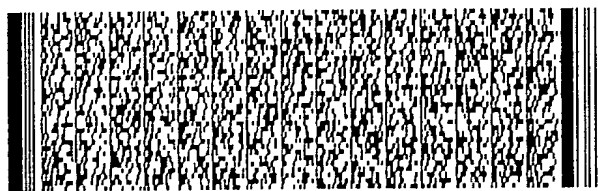
形成一第三多晶矽層於該第一絕緣層上；以及

形成一第三絕緣層於該第三多晶矽層上，其中該第一多晶矽層係形成於該第三絕緣層上。

10、如申請專利範圍第9項所述之記憶體製造方法，其中蝕刻位於該第二圖案化區域之該第一多晶矽層之步驟更包含：

蝕刻位於該第二圖案化區域之該第三絕緣層及該第三多晶矽層。

11、如申請專利範圍第9項所述之記憶體製造方法，其中以該第一氧化矽區域為遮罩蝕刻該第一多晶矽層以形成該



六、申請專利範圍

第一閘極之步驟更包含：

以該第一氧化矽區域為遮罩蝕刻該第三絕緣層；以及
以該第一氧化矽區域為遮罩蝕刻該第三多晶矽層以形成一
第三閘極。

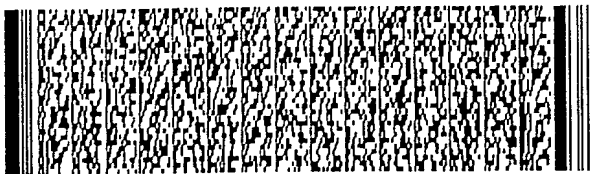
12、如申請專利範圍第11項所述之記憶體製造方法，其中
該第三閘極係為一浮閘，該第一閘極係為一控制閘。

13、如申請專利範圍第11項所述之記憶體製造方法，更包
含：

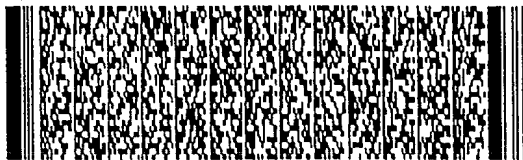
氧化該基板以於該基板上方形成一第二絕緣層；
形成一第二多晶矽層於該第二絕緣層上；以及
蝕刻該第二多晶矽層以形成一第二閘極。

14、如申請專利範圍第13項所述之記憶體製造方法，其中
該第二閘極係位於該第一閘極上方並至少延伸至該第三閘
極之一側，以構成一緊鄰著該第一閘極與該第三閘極的選
擇電晶體。

15、如申請專利範圍第9項所述之記憶體製造方法，其中
該第三絕緣層係為ONO結構。



第 1/28 頁



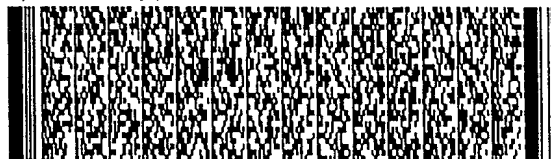
第 2/28 頁



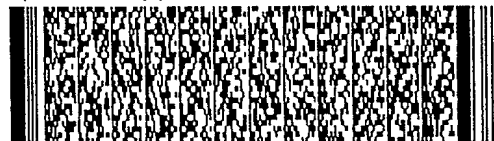
第 2/28 頁



第 3/28 頁



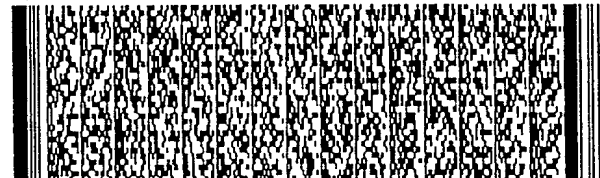
第 4/28 頁



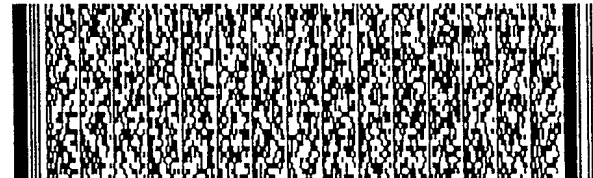
第 5/28 頁



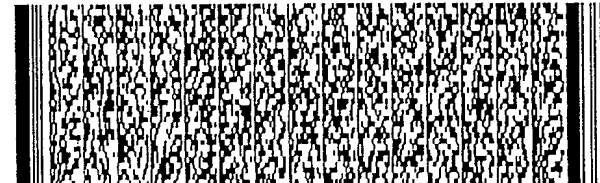
第 6/28 頁



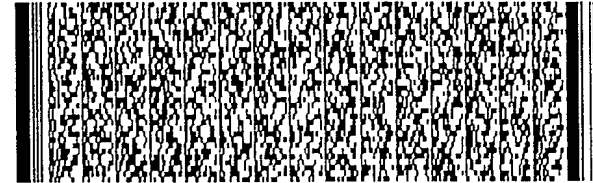
第 6/28 頁



第 7/28 頁



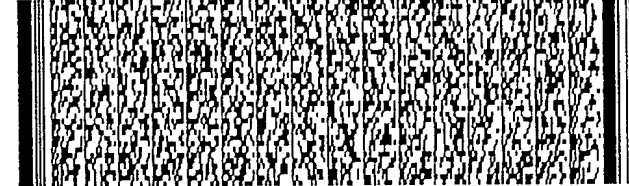
第 7/28 頁



第 8/28 頁



第 8/28 頁



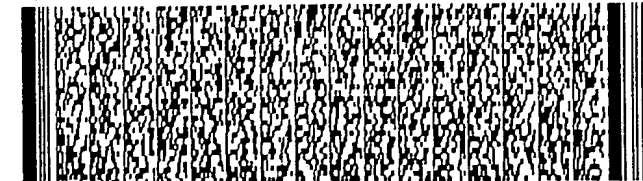
第 9/28 頁



第 9/28 頁



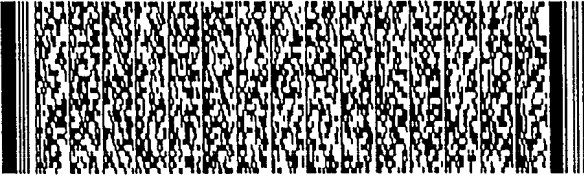
第 10/28 頁



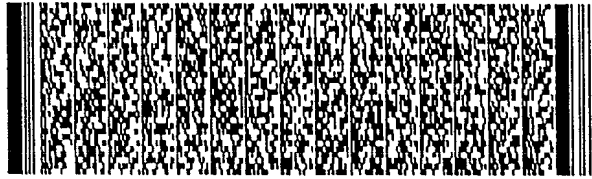
第 10/28 頁



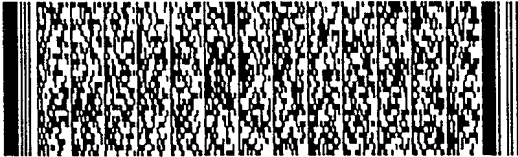
第 11/28 頁



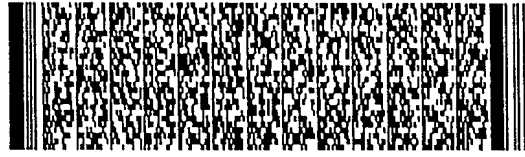
第 11/28 頁



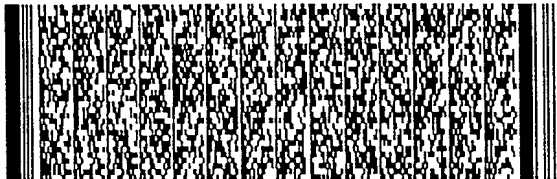
第 12/28 頁



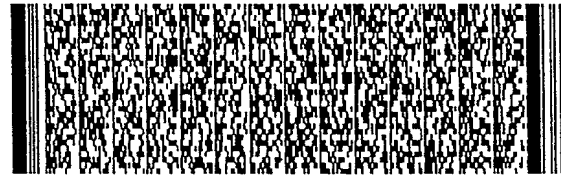
第 12/28 頁



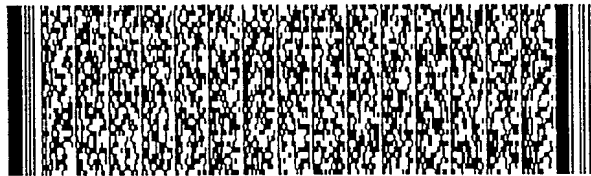
第 13/28 頁



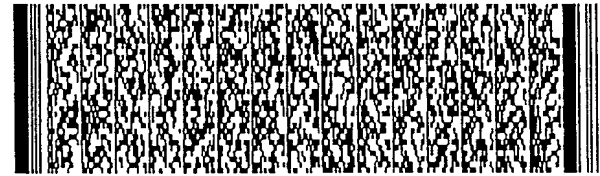
第 13/28 頁



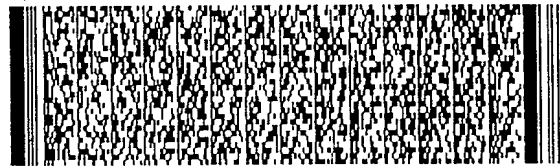
第 14/28 頁



第 14/28 頁



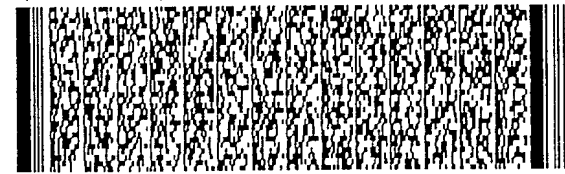
第 15/28 頁



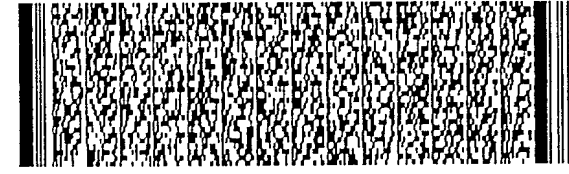
第 15/28 頁



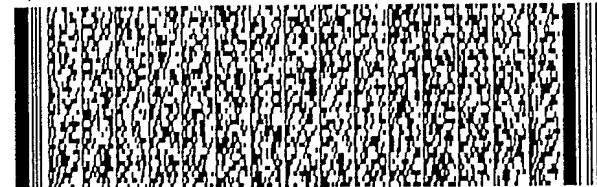
第 16/28 頁



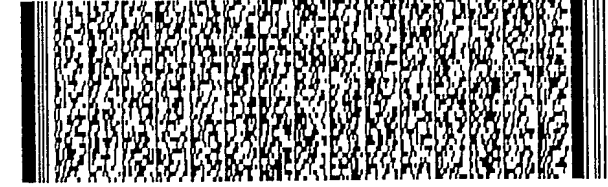
第 16/28 頁



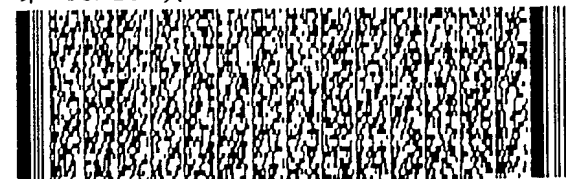
第 17/28 頁



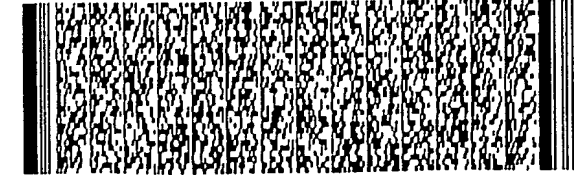
第 17/28 頁



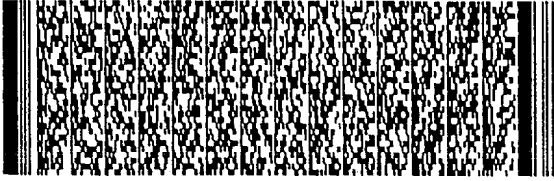
第 18/28 頁



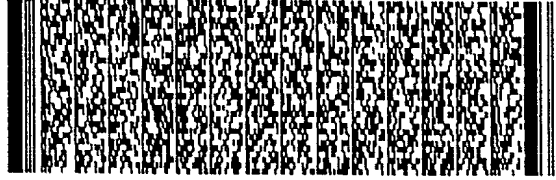
第 18/28 頁



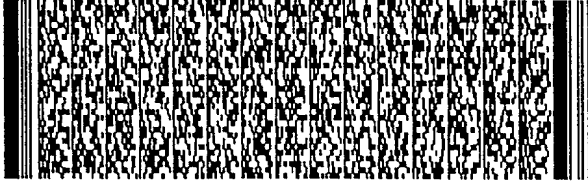
第 19/28 頁



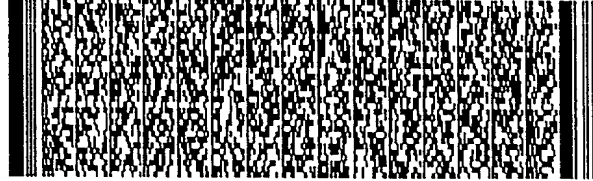
第 19/28 頁



第 20/28 頁



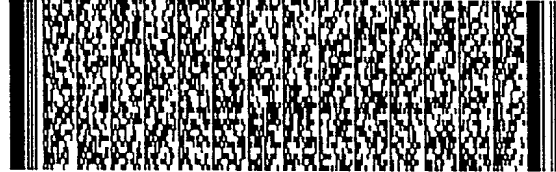
第 20/28 頁



第 21/28 頁



第 22/28 頁



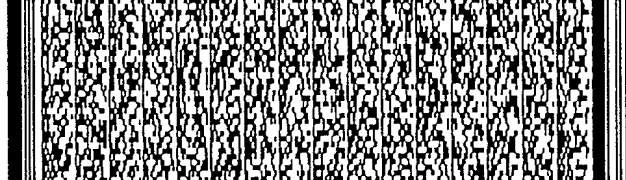
第 23/28 頁



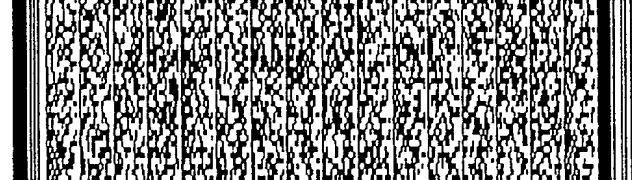
第 24/28 頁



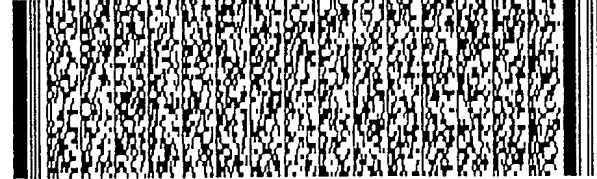
第 25/28 頁



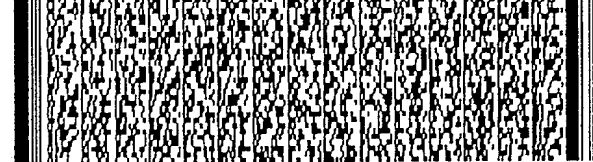
第 26/28 頁



第 27/28 頁



第 28/28 頁



圖式

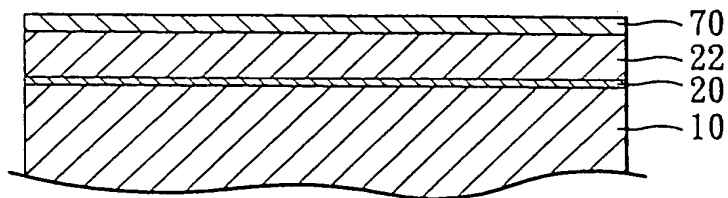


圖 1A

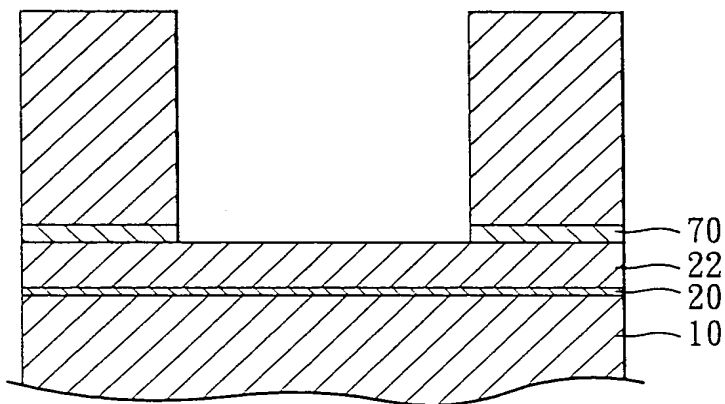


圖 1B

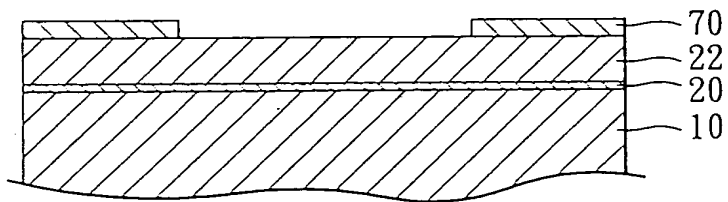


圖 1C

裝

訂

線

圖式

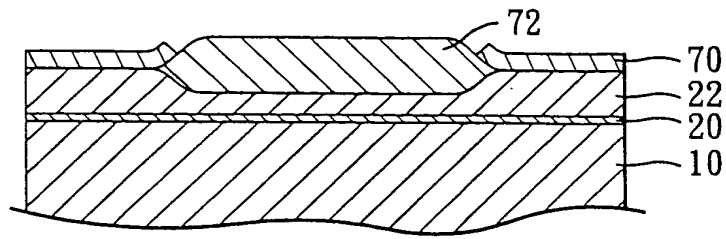


圖 1D

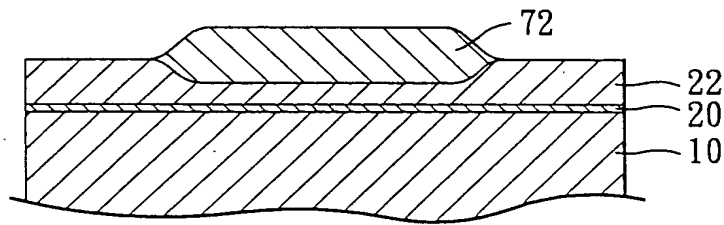


圖 1E

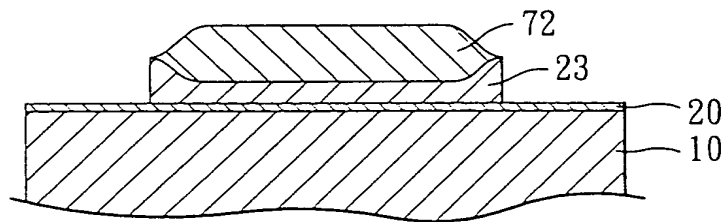


圖 1F

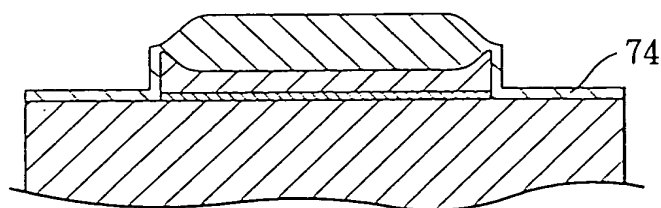


圖 1G

裝

訂

線

圖式

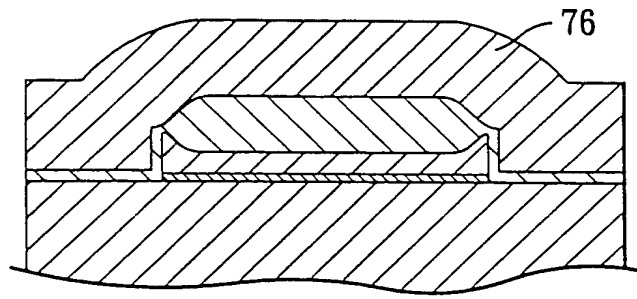


圖 1H

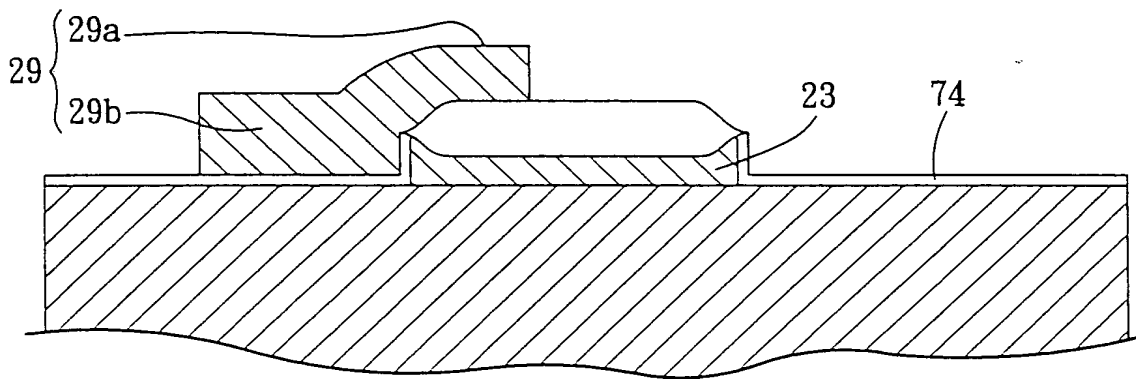


圖 1I

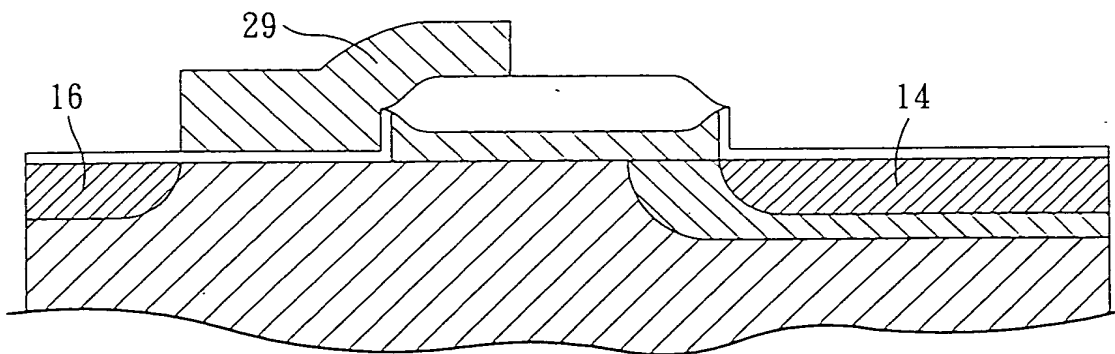


圖 1J

裝

訂

線

圖式

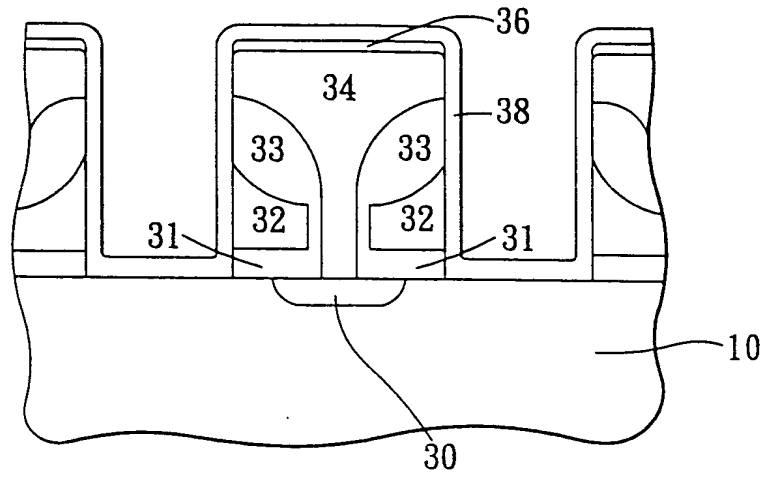


圖2A

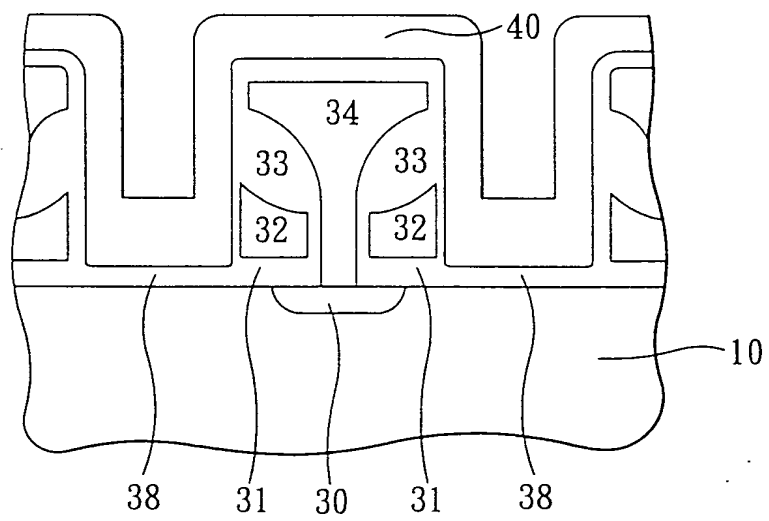


圖2B

裝

訂

線

圖式

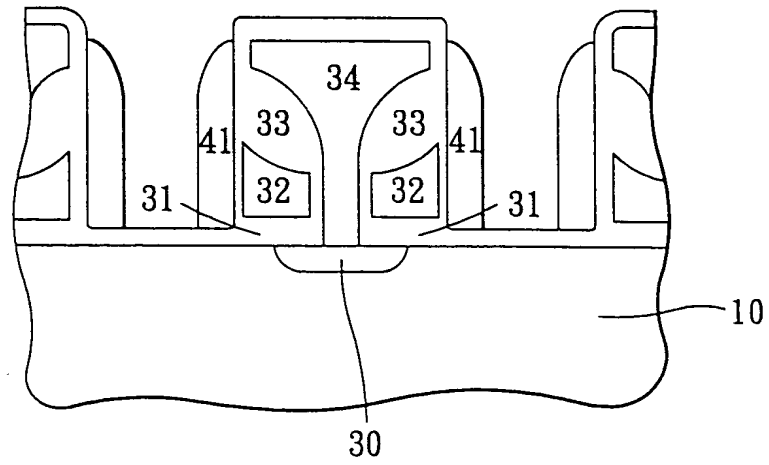


圖 2C

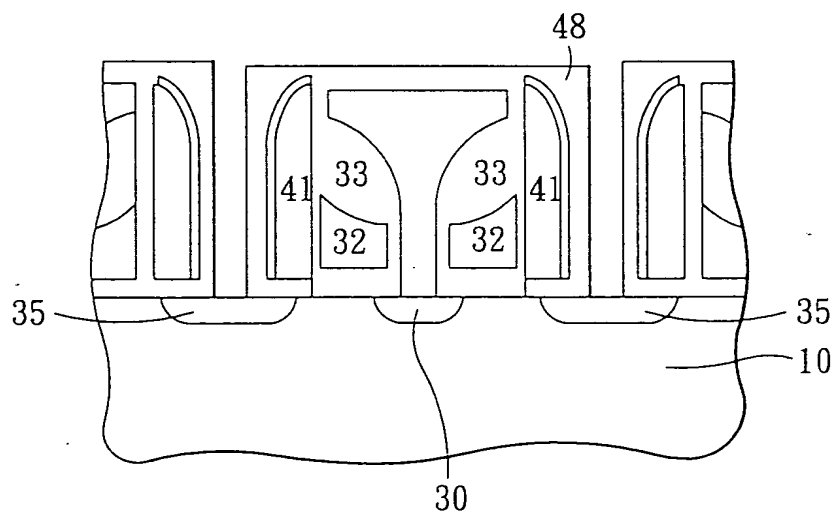


圖 2D

圖式

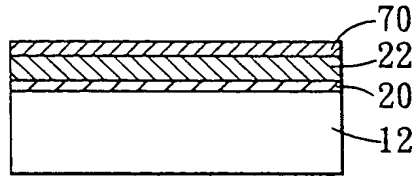


圖 3A

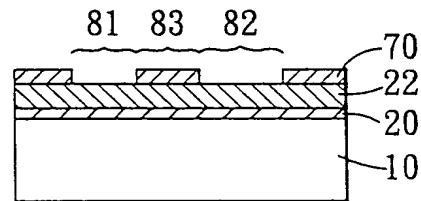


圖 3B

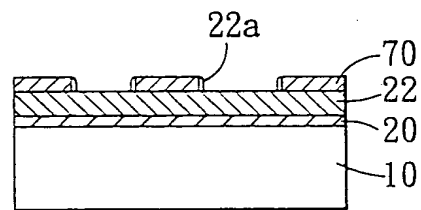


圖 3C

裝

訂

線

圖式

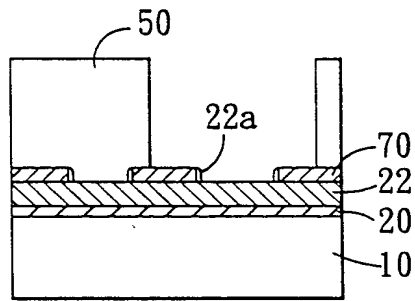


圖 3D

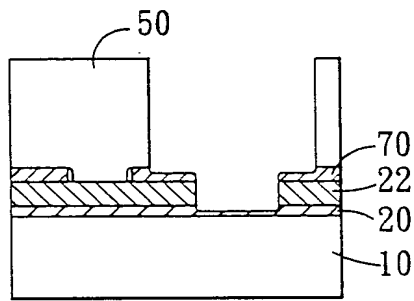


圖 3E

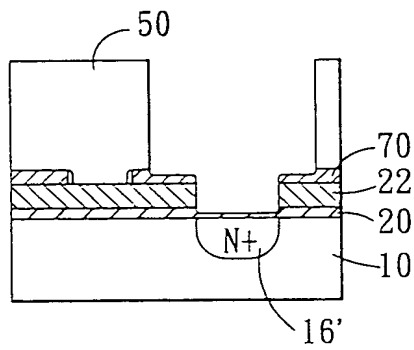


圖 3F

裝

訂

線

圖式

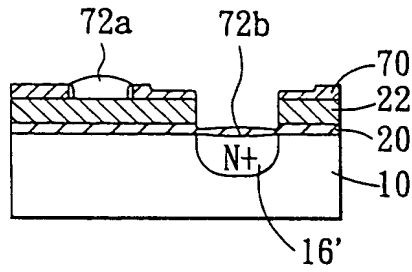


圖 3G

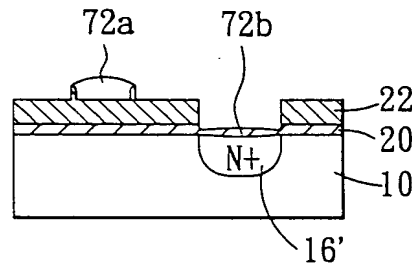


圖 3H

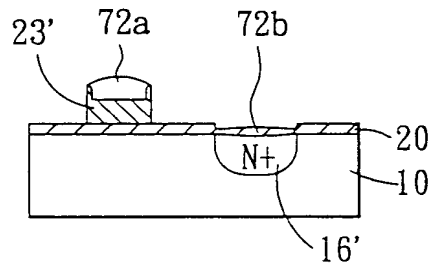


圖 3I

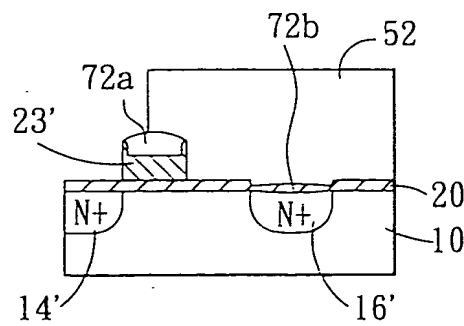


圖 3J

裝

訂

線

圖式

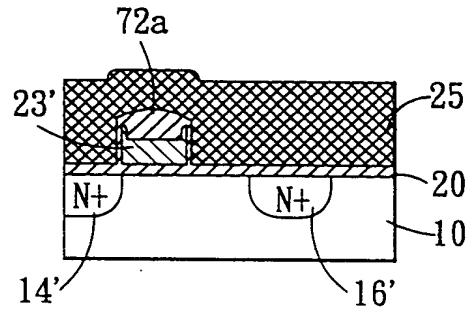


圖 3K

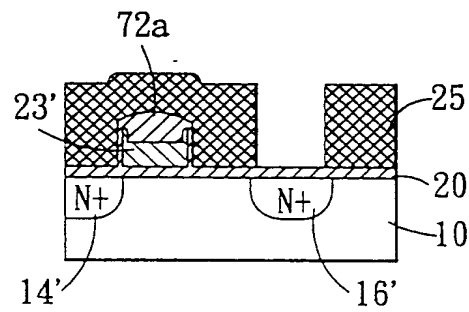


圖 3L

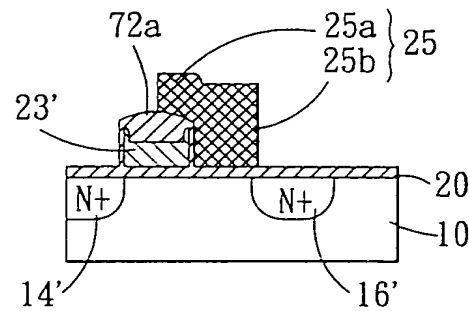


圖 3M

裝

訂

線

圖式

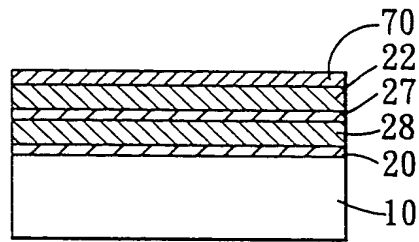


圖 4A

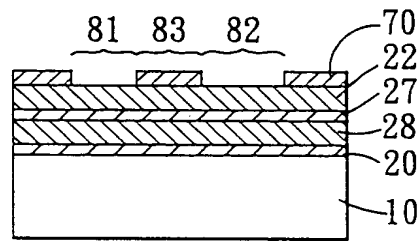


圖 4B

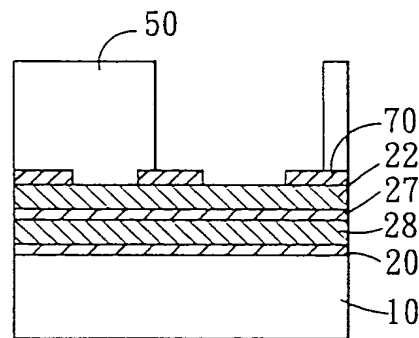


圖 4C

裝

訂

線

圖式

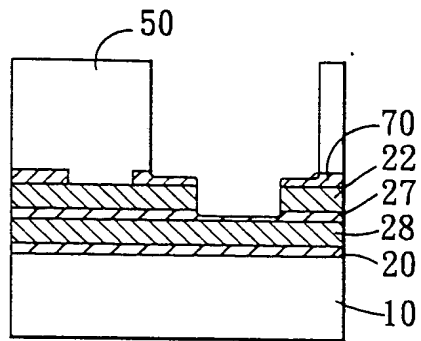


圖 4D

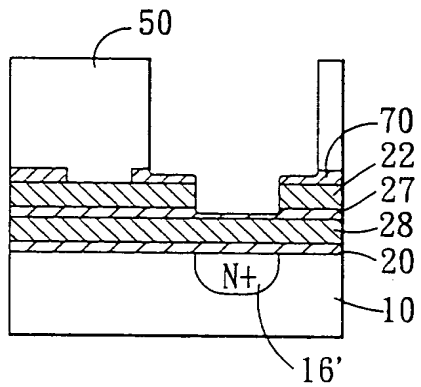


圖 4E

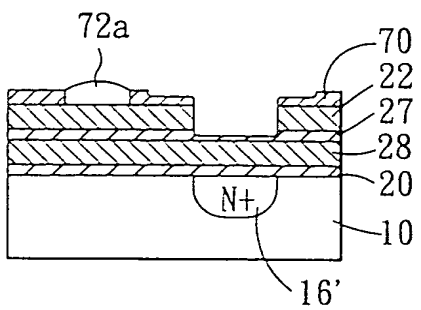


圖 4F

裝

訂

線

圖式

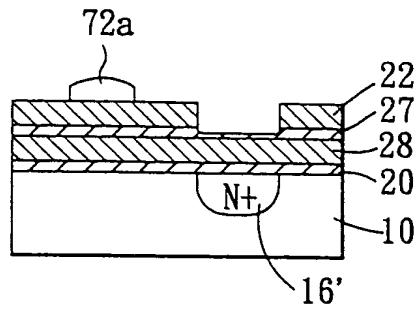


圖 4G

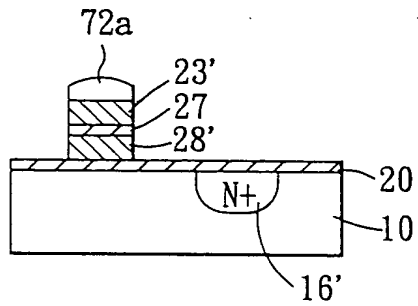


圖 4H

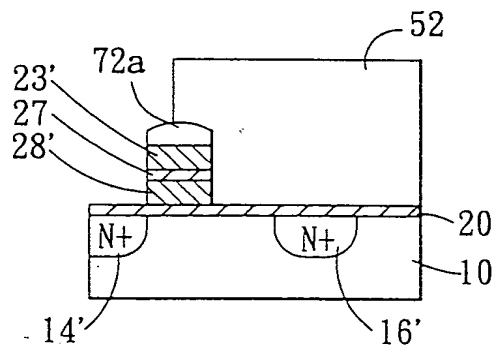


圖 4I

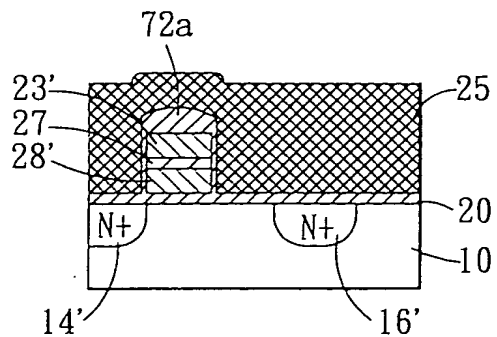


圖 4J

裝

訂

線